

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-026121

(43)Date of publication of application : 25.01.2002

(51)Int.Cl.

H01L 21/768
H01L 21/316

(21)Application number : 2000-199737

(71)Applicant : TOKYO ELECTRON LTD

(22)Date of filing : 30.06.2000

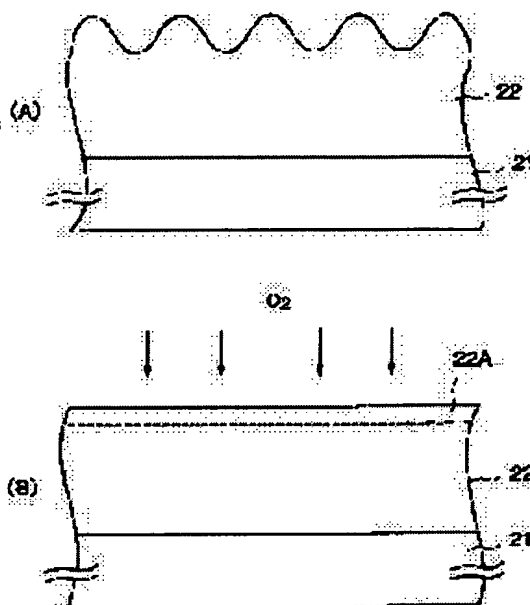
(72)Inventor :
MAEKAWA KAORU
NAGAI HIROYUKI
INASAWA KOICHIRO
SUEMASA TOMOKI

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME, AND METHOD OF FORMING INSULATION FILM

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the resistance with respect to various chemicals and plasma used in semiconductor manufacturing processes by improving the adhesiveness of a low-density film having low permittivity.

SOLUTION: The surface of the low-density film, having a low permittivity, is plasma-treated to form a very fine surface modified layer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int.Cl.	識別記号	F I	テーマコード* (参考)
H 0 1 L	21/768	H 0 1 L 21/316	P 5 F 0 3 3
	21/316	21/90	P 5 F 0 5 8
			B
			N

審査請求 未請求 請求項の数23 O L (全 12 頁)

(21) 出願番号 特願2000-199737 (P2000-199737)

(22) 出願日 平成12年6月30日 (2000.6.30)

(71) 出願人 000219967

東京エレクトロン株式会社

東京都港区赤坂5丁目3番6号

(72) 発明者 前川 薫

山梨県韭崎市穂坂町三ツ沢650 東京エレクトロン株式会社内

(72) 発明者 永井 洋之

山梨県韭崎市穂坂町三ツ沢650 東京エレクトロン株式会社内

(74) 代理人 100070150

弁理士 伊東 忠彦

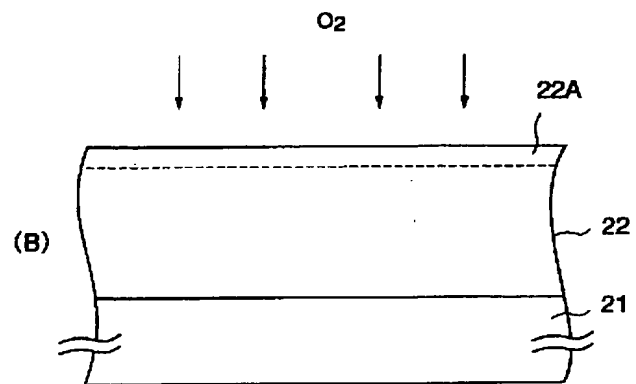
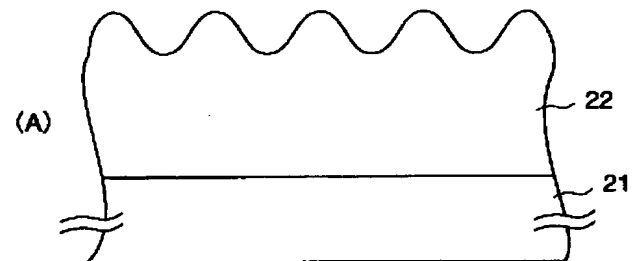
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法、絶縁膜の形成方法

(57) 【要約】

【課題】 低密度低誘電率膜の密着性を向上させ、半導体製造プロセスで使われる様々な薬液やプラズマに対する耐性を向上させる。

【解決手段】 低密度低誘電率膜の表面をプラズマ処理し、緻密な表面改質層を形成する。



【特許請求の範囲】

【請求項 1】 基板と、前記基板上に形成された多層配線構造とよりなる半導体装置において、前記多層配線構造は、比誘電率が 3 以下で、少なくとも Si、C および H を含む低誘電率膜よりなる層間絶縁膜と、前記層間絶縁膜中に形成された配線溝を充填する導体パターンとよりなり、前記層間絶縁膜は、前記配線溝を形成する表面に表面改質膜を有し、前記表面改質膜は、前記低誘電率膜の内部に比べて Si 原子と O 原子の割合が増大し、C 原子の割合が減少していることを特徴とする半導体装置。

【請求項 2】 前記層間絶縁膜は、さらに前記表面改質膜を主面上に形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記低誘電率膜は、20 nm 以下の大きさの空孔を含むことを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記低誘電率膜は、10 nm 以下の大きさの空孔を含むことを特徴とする請求項 1～3 のうち、いずれか一項記載の半導体装置。

【請求項 5】 前記低誘電率膜は 1 nm 以下の大きさの空孔を含むことを特徴とする請求項 1～4 のうち、いずれか一項記載の半導体装置。

【請求項 6】 前記低誘電率膜は 0.5 nm 以下の大きさの空孔を含むことを特徴とする請求項 1～5 のうち、いずれか一項記載の半導体装置。

【請求項 7】 前記低誘電率膜は、SiOCH 系の絶縁膜であることを特徴とする請求項 1～6 のうち、いずれか一項記載の半導体装置。

【請求項 8】 前記低誘電率膜は MSQ 膜であることを特徴とする請求項 7 記載の半導体装置。

【請求項 9】 前記表面改質膜の厚さは、前記低誘電率膜の厚さの 1/10 以下であることを特徴とする請求項 1～8 のうち、いずれか一項記載の半導体装置。

【請求項 10】 基板上に、比誘電率が 3 以下で、少なくとも Si、C および H を含む絶縁膜を形成する工程と、

前記絶縁膜の表面をプラズマ処理し、前記絶縁膜表面に表面改質層を形成する工程とを特徴とする絶縁膜の形成方法。

【請求項 11】 前記プラズマ処理工程は、前記絶縁膜の表面を、少なくとも酸素を含むガス系のプラズマにより処理することにより実行されることを特徴とする請求項 10 記載の絶縁膜の形成方法。

【請求項 12】 前記絶縁膜は、20 nm 以下の大きさの空孔を含むことを特徴とする請求項 10 記載の絶縁膜の形成方法。

【請求項 13】 前記絶縁膜は、10 nm 以下の大きさ

の空孔を含むことを特徴とする請求項 10 または 11 記載の絶縁膜の形成方法。

【請求項 14】 前記絶縁膜は 1 nm 以下の大きさの空孔を含むことを特徴とする請求項 10～12 のうち、いずれか一項記載の絶縁膜の形成方法。

【請求項 15】 前記絶縁膜は 0.5 nm 以下の大きさの空孔を含むことを特徴とする請求項 10～13 のうち、いずれか一項記載の絶縁膜の形成方法。

【請求項 16】 基板上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に第 2 の絶縁膜を形成する工程と、前記第 2 の絶縁膜をパターニングし、開口部を形成する工程と、

前記第 2 の絶縁膜をマスクに前記第 1 の絶縁膜をエッチングし、前記第 1 の絶縁膜中に前記開口部に対応して配線溝を形成する工程と、

前記第 1 の絶縁膜上に、前記開口部および前記配線溝を充填するように導体層を形成する工程とを含む半導体装置の製造方法において、

前記第 1 の絶縁膜として、少なくとも Si、C および H を含む比誘電率が 3 以下の低誘電率絶縁膜を使い、前記配線溝を形成する工程は、形成された配線溝の側壁面をプラズマ処理し、表面改質層を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 17】 前記第 1 の絶縁膜の形成工程の後、前記第 1 の絶縁膜上に前記第 2 の絶縁膜を形成する工程に先立ち前記第 1 の絶縁膜の表面をプラズマ処理し、前記第 1 の絶縁膜表面に表面改質層を形成する工程を含むことを特徴とする請求項 16 記載の半導体装置の製造方法。

【請求項 18】 前記第 1 の絶縁膜は、20 nm 以下の大きさの空孔を含むことを特徴とする請求項 16 または 17 記載の半導体装置の製造方法。

【請求項 19】 前記第 1 の絶縁膜は、10 nm 以下の大きさの空孔を含むことを特徴とする請求項 16～18 のうち、いずれか一項記載の半導体装置の製造方法。

【請求項 20】 前記第 1 の絶縁膜は、1 nm 以下の大きさの空孔を含むことを特徴とする請求項 16～19 のうち、いずれか一項記載の半導体装置の製造方法。

【請求項 21】 前記第 1 の絶縁膜は、0.5 nm 以下の大きさの空孔を含むことを特徴とする請求項 16～20 のうち、いずれか一項記載の半導体装置の製造方法。

【請求項 22】 前記第 1 の絶縁膜は、SiOCH 系の絶縁膜であることを特徴とする請求項 16～21 のうち、いずれか一項記載の半導体装置の製造方法。

【請求項 23】 前記第 1 の絶縁膜は MSQ 膜であることを特徴とする請求項 22 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

3

【発明の属する技術分野】本発明は一般に半導体装置に関し、特に多層配線構造を有する半導体装置およびその製造方法に関する。

【0002】微細化技術の進歩に伴い、今日の先端的な半導体集積回路装置では基板上に莫大な数の半導体素子が形成されている。かかる半導体集積回路装置では、基板上の半導体素子間を接続するのに一層の配線層では不十分であり、複数の配線層を層間絶縁膜を介して積層した、いわゆる多層配線構造が使われている。特に最近では、層間絶縁膜中に配線層に対応した配線溝およびコンタクトホールを予め形成しておき、これを導体で埋めることにより配線層を形成する、いわゆるデュアルダマシン法による多層配線構造の研究がなされている。デュアルダマシン法によれば、配線層を導体層のパターニングにより形成する必要がなく、低抵抗および優れた耐エレクトロンマイグレーション特性等の有利な特徴を有しながら、ドライエッチングが困難であったCuを、配線層に使うことが可能で、多層配線構造中における信号遅延を減少させることができる。

【0003】

【従来の技術】一方、将来のいわゆるディープサブミクロンと呼ばれる、設計ルールが0.13 μ mを切るような超微細化された半導体装置では、多層配線構造中における層間絶縁膜の寄生容量が大きな問題になり、このため従来より多層配線構造の層間絶縁膜として、比誘電率が4以下のSiO₂膜、無機あるいは有機シロキサン系膜、あるいは有機膜が提案されている。特に無機あるいは有機シロキサン系膜、あるいは有機膜を使った場合、3を切る比誘電率が実現されている。

【0004】デュアルダマシン法には様々な変形が存在するが、図1(A)～(F)は、従来の典型的なデュアルダマシン法による、多層配線構造の形成方法を示す。

【0005】図1(A)を参照するに、MOSトランジスタ等、図示しない半導体要素が形成されたSi基板10はCVD-SiO₂などの層間絶縁膜11により覆われており、前記層間絶縁膜11上には配線パターン12Aが形成されている。前記配線パターン12Aは、前記層間絶縁膜11上に形成された次の層間絶縁膜12B中に埋め込まれており、前記配線パターン12Aおよび層間絶縁膜12Bよりなる配線層12は、SiN等のエッチングストップ膜13により覆われている。前記エッチングストップ膜13は、さらに次の層間絶縁膜14により覆われ、前記層間絶縁膜14上には、SiN等よりなる、さらに別のエッチングストップ膜15が形成されている。

【0006】図示の例では、前記エッチングストップ膜15上にさらに別の層間絶縁膜16が形成され、さらに前記層間絶縁膜16は次のエッチングストップ膜17により覆われている。エッチングストップ膜15、17は、ハードマスクとよばれることがある。

4

【0007】図1(A)の工程では、前記エッチングストップ膜17上にフォトリソグラフィ工程により、所望のコンタクトホールに対応した開口部18Aを有するレジストパターン18が形成され、前記レジストパターン18をマスクに前記エッチングストップ膜17をドライエッチングにより除去し、前記エッチングストップ膜17中に、前記コンタクトホールに対応した開口部を形成する。

【0008】次に図1(B)の工程において層間絶縁膜16をRIE法によりドライエッチングし、前記層間絶縁膜16中に前記コンタクトホールに対応した開口部16Aを形成し、前記レジストパターン18を除去する。

【0009】さらに図1(C)の工程において、前記図1(B)の構造上にレジスト膜19が、前記開口部16Aを埋めるように塗布され、図1(D)の工程においてこれをフォトリソグラフィ法によりパターニングし、所望の配線パターンに対応したレジスト開口部19Aをレジスト膜19中に形成する。前記開口部19Aの形成の結果、前記層間絶縁膜16中に形成された開口部16Aが、前記レジスト開口部19A中に露出される。

【0010】図1(D)の工程では、さらに前記レジスト膜19をマスクに、前記レジスト開口部19Aにおいて露出した前記エッチングストップ膜17および前記開口部16A底部において露出したエッチングストップ膜15をドライエッチングにより除去し、図1(E)の工程において前記層間絶縁膜16および層間絶縁膜14をドライエッチングにより一括してパターニングし、前記レジスト膜19を除去する。かかるパターニングの結果、図1(E)に示すように、前記層間絶縁膜16中には所望の配線溝に対応する開口部16Bが、また前記層間絶縁膜14中には所望のコンタクトホールに対応する開口部14Aが形成される。前記開口部16Bは、前記開口部16Aを含むように形成される。

【0011】さらに図1(F)の工程において前記開口部14Aにおいて露出しているエッチングストップ膜13をRIE法によるドライエッチングにより除去し、前記配線パターン12Aを露出した後、前記配線溝16Aおよび開口部14AをAlあるいはCu等の導電膜で充填し、さらにこれを化学機械研磨(CMP)することにより、配線パターン12Aとコンタクトホール14Aで接続された配線パターン20が得られる。これらの工程をさらに繰り返すことにより、3層目、4層目の配線パターンを形成することが可能である。

【0012】かかる低誘電率多層配線構造においては、前記層間絶縁膜12、14、16として芳香族系絶縁膜、有機シロキサン膜、あるいはHSQ(hydrogen silsesquioxane)膜等の低誘電率塗布絶縁膜が使われている。

【0013】かかる従来の低誘電率層間絶縁膜を使った多層配線構造では配線の寄生容量が低減されるため、か

かる寄生容量に起因する信号遅延の問題が軽減されるが、将来のデザインルールが0.10 μ m以下のいわゆるディープサブミクロンと呼ばれる超微細化半導体装置においては、層間絶縁膜の比誘電率をさらに低下させる必要があり、このためいわゆる多孔質絶縁膜とよばれる種類の膜を含む低密度層間絶縁膜の使用が研究されている。

【0014】かかる低密度絶縁膜は典型的にはゾルゲル法により、膜中に液体を含むゲル膜の形に形成されるが、さらにかかるゲル膜をゲル骨格を残したまま乾燥することにより、内部に平均で3~5nm程度の原子ないし分子サイズの空孔ないし自由体積を有するように形成することが可能である。多孔質絶縁膜は内部にこのような空孔を有するため密度が小さく、比誘電率の一層の低減が可能であり、2.0を切る非常に小さい比誘電率を実現している。

【0015】

【発明が解決しようとする課題】一方、このような従来の多孔質あるいは低密度絶縁膜では、先に図1(A)~(F)で説明したようなデュアルダマシン工程を行った場合、図1(B)あるいは図1(E)のドライエッチング工程に引き続くレジストパターン18あるいは19のプラズマアッシング工程およびこれに引き続く洗浄工程において、プラズマアッシング工程で使われる酸素プラズマあるいは洗浄工程で使われる洗浄液が前記配線溝16Bあるいはコンタクトホール14Aから層間絶縁膜16あるいは14中にしみこみ、層間絶縁膜を改質してしまう場合がある。またこのような低密度層間絶縁膜では図1(F)の工程においてコンタクトホール14Aあるいは配線溝16BをCu等の導体パターンにより充填した場合、図2に示すように導体層20を構成するCuやTa等の金属元素が層間絶縁膜中に拡散したり、導体層20とコンタクトホール14Aの側壁との間にボイド20Xが形成されることがあり、導体層と側壁絶縁膜との間の密着性が低下したりコンタクト抵抗が増大したりする問題が生じる。ただし図2の拡大図では、前記導体層20を構成するCu層の下にTa密着層20Aが挿入されている。かかる層間絶縁膜が低密度あるいは多孔質である場合、膜中の空孔表面において元素の拡散係数は増大するものと考えられる。

【0016】また従来よりSiO₂あるいはSiNよりなるエッチングストップ膜13、15あるいは17をSiCH系あるいはSiCNH系の低誘電率絶縁膜に置き換えようとする試みもなされているが、かかる絶縁膜上に直接にレジスト膜を形成すると、レジスト膜を構成する成分が低誘電率絶縁膜中に侵入して前記低誘電率絶縁膜が改質されてしまう問題点が生じることがある。

【0017】そこで、本発明は上記の問題点を解決した新規で有用な半導体装置の製造方法、および半導体装置を提供することを概括的課題とする。

【0018】本発明のより具体的な課題は、低密度低誘電率層間絶縁膜を使った多層配線構造において、配線パターンとの密着性を向上させ、デュアルダマシン工程の際のプラズマ処理あるいは洗浄処理による層間絶縁膜の改質を抑制することにある。

【課題を解決するための手段】本発明は上記の課題を、請求項1に記載したように、基板と、前記基板上に形成された多層配線構造とよりなる半導体装置において、前記多層配線構造は、比誘電率が3以下で、少なくともSi、CおよびHを含む低誘電率膜よりなる層間絶縁膜と、前記層間絶縁膜中に形成された配線溝を充填する導体パターンとよりなり、前記層間絶縁膜は、前記配線溝を形成する表面に表面改質膜を有し、前記表面改質膜は、前記低誘電率膜の内部に比べてSi原子とO原子の割合が増大し、C原子の割合が減少していることを特徴とする半導体装置により、または請求項2に記載したように、前記層間絶縁膜は、さらに前記表面改質膜を主面上に形成されていることを特徴とする請求項1記載の半導体装置により、または請求項3に記載したように、前記低誘電率膜は、20nm以下の大きさの空孔を含むことを特徴とする請求項1または2記載の半導体装置により、または請求項4に記載したように、前記低誘電率膜は、10nm以下の大きさの空孔を含むことを特徴とする請求項1~3のうち、いずれか一項記載の半導体装置により、または請求項5に記載したように、前記低誘電率膜は1nm以下の大きさの空孔を含むことを特徴とする請求項1~4のうち、いずれか一項記載の半導体装置により、または請求項6に記載したように、前記低誘電率膜は0.5nm以下の大きさの空孔を含むことを特徴とする請求項1~5のうち、いずれか一項記載の半導体装置により、または請求項7に記載したように、前記低誘電率膜は、SiOCH系の絶縁膜であることを特徴とする請求項1~6のうち、いずれか一項記載の半導体装置により、または請求項8に記載したように、前記低誘電率膜はMSQ膜であることを特徴とする請求項7記載の半導体装置により、または請求項9に記載したように、前記表面改質膜の厚さは、前記低誘電率膜の厚さの1/10以下であることを特徴とする請求項1~8のうち、いずれか一項記載の半導体装置により、または請求項10に記載したように、基板上に、比誘電率が3以下で、少なくともSi、CおよびHを含む絶縁膜を形成する工程と、前記絶縁膜の表面をプラズマ処理し、前記絶縁膜表面に表面改質層を形成する工程とを特徴とする絶縁膜の形成方法により、または請求項11に記載したように、前記プラズマ処理工程は、前記絶縁膜の表面を、少なくとも酸素を含むガス系のプラズマにより処理することにより実行されることを特徴とする請求項10記載の絶縁膜の形成方法により、または請求項12に記載したように、前記絶縁膜は、20nm以下の大きさの空孔を含むことを特徴とする請求項10記載の絶縁膜の形成

方法により、または請求項 13 に記載したように、前記絶縁膜は、10 nm 以下の大きさの空孔を含むことを特徴とする請求項 10 または 11 記載の絶縁膜の形成方法により、または請求項 14 に記載したように、前記絶縁膜は 1 nm 以下の大きさの空孔を含むことを特徴とする請求項 10 ～ 12 のうち、いずれか一項記載の絶縁膜の形成方法により、または請求項 15 に記載したように、前記絶縁膜は 0.5 nm 以下の大きさの空孔を含むことを特徴とする請求項 10 ～ 13 のうち、いずれか一項記載の絶縁膜の形成方法により、または請求項 16 に記載したように、基板上に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜上に第 2 の絶縁膜を形成する工程と、前記第 2 の絶縁膜をパターンニングし、開口部を形成する工程と、前記第 2 の絶縁膜をマスクに前記第 1 の絶縁膜をエッチングし、前記第 1 の絶縁膜中に前記開口部に対応して配線溝を形成する工程と、前記第 1 の絶縁膜上に、前記開口部および前記配線溝を充填するように導体層を形成する工程とを含む半導体装置の製造方法において、前記第 1 の絶縁膜として、少なくとも Si、C および H を含み比誘電率が 3 以下の低誘電率絶縁膜を使い、前記配線溝を形成する工程は、形成された配線溝の側壁面をプラズマ処理し、表面改質層を形成する工程を含むことを特徴とする半導体装置の製造方法により、または請求項 17 に記載したように、前記第 1 の絶縁膜の形成工程の後、前記第 1 の絶縁膜上に前記第 2 の絶縁膜を形成する工程に先立ち前記第 1 の絶縁膜の表面をプラズマ処理し、前記第 1 の絶縁膜表面に表面改質層を形成する工程を含むことを特徴とする請求項 16 記載の半導体装置の製造方法により、または請求項 18 に記載したように、前記第 1 の絶縁膜は、20 nm 以下の大きさの空孔を含むことを特徴とする請求項 16 または 17 記載の半導体装置の製造方法により、または請求項 19 に記載したように、前記第 1 の絶縁膜は、10 nm 以下の大きさの空孔を含むことを特徴とする請求項 16 ～ 18 のうち、いずれか一項記載の半導体装置の製造方法により、または請求項 20 に記載したように、前記第 1 の絶縁膜は、1 nm 以下の大きさの空孔を含むことを特徴とする請求項 16 ～ 19 のうち、いずれか一項記載の半導体装置の製造方法により、または請求項 21 に記載したように、前記第 1 の絶縁膜は、0.5 nm 以下の大きさの空孔を含むことを特徴とする請求項 16 ～ 20 のうち、いずれか一項記載の半導体装置の製造方法により、または請求項 22 に記載したように、前記第 1 の絶縁膜は、SiOCH 系の絶縁膜であることを特徴とする請求項 16 ～ 21 のうち、いずれか一項記載の半導体装置の製造方法により、または請求項 23 に記載したように、前記第 1 の絶縁膜は MSQ 膜であることを特徴とする請求項 22 記載の半導体装置の製造方法により、解決する。

【作用】本発明によれば、低密度低誘電率絶縁膜の表面をプラズマ処理する、プラズマ中のイオンが絶縁膜表面

に衝突することにより、絶縁膜表面が緻密化する。特にプラズマ処理を O₂ プラズマ中において実行することにより、かかる緻密な表面改質膜は主として Si-O 結合を含むようになる。このためかかる緻密な表面改質膜を層間絶縁膜中の配線溝側壁面に形成することにより、フォトリソグラフィ工程により前記配線溝を形成する際に、レジスト膜を洗浄液により洗浄した場合にも洗浄液が層間絶縁膜中にしみこむことがなく、層間絶縁膜の特性が劣化することがない。またかかる緻密な表面改質膜は配線溝を充填する配線パターンからの金属元素の層間絶縁膜中への拡散を阻止し、また低密度低誘電率膜中の空孔に起因するボイドの形成を抑制する。さらに層間絶縁膜の上側主面にかかる表面改質膜を形成しておくことにより、かかる層間絶縁膜上に塗布工程により、他の有機あるいは無機絶縁膜、あるいはレジスト膜を形成する際にも層間絶縁膜中への溶媒等の染み込みを抑制することができる。

【0019】

【発明の実施の形態】〔第 1 実施例〕図 5 は、本発明の第 1 実施例で使われるプラズマ処理装置 100 の構成を示す。

【0020】図 5 を参照するに、プラズマ処理装置 100 は被処理基板 W を保持する保持台 106 を収納した処理室 102 を形成する反応容器 104 を含み、前記反応容器 104 の上部には、絶縁部材 118 により電気的に絶縁されて、ライン 122 からプラズマガスを供給されるシャワーヘッド 114 が前記保持台 106 上の被処理基板 W に対面するように設けられる。前記シャワーヘッド 114 は多数の開口部 14a を備え、かかる開口部 14a を介して前記ライン 122 から供給されたプラズマガスが前記保持台 106 上に保持されている被処理基板 W に向けて流さえる一方、前記処理室 102 は排気ポート 124 において排気される。

【0021】前記保持台 106 にはコントローラ 112 により制御されるバイアス電源 110 から整合器 108 を介して 2 MHz の高周波電力が供給され、一方、前記シャワーヘッド 114 には同じくコントローラ 112 により制御されるプラズマ励起電源 120 から整合器 118 を介して 60 MHz の高周波電力が供給され、その結果下側電極として作用する保持台 106 と上側電極として作用するシャワーヘッド 114 との間に、プラズマが形成される。

【0022】本発明では、かかるプラズマにより、前記被処理基板 W 上に形成された低密度低誘電率絶縁膜の表面を処理する。

【0023】図 4 は、前記被処理基板 W 上に形成されてプラズマ表面処理される典型的な低密度低誘電率膜の構造の一例を示す。

【0024】図 4 を参照するに、前記低密度低誘電率有機シロキサン膜は Si-O-Si 骨格の側鎖にメチル基

またはフェニル基等の有機化合物（図中Meで示す）が結合した構造を有し、かかる有機化合物の存在により空孔ないし自由堆積が形成され、膜密度、従って比誘電率が低下する。図4の絶縁膜は一般に3.0以下の比誘電率を有する。

【0025】かかる低密度低誘電率膜では、膜中に1nm以下の空孔ないし自由体積が形成され、かかる空孔の存在が膜の低密度の原因となっている。一方、膜中にこのような空孔が存在すると、先にも説明したように低密度低誘電率膜は洗浄処理を行った場合に洗浄液の分子を吸収したり、あるいは膜中にプラズマが侵入したり、あるいは配線パターンを構成する金属元素が膜中に拡散したりする問題を生じる。

【0026】図5は、典型的な低密度低誘電率膜についてArガス吸着法により、求めた空孔サイズの分布を示す。

【0027】図5よりわかるように、前記低密度低誘電率膜は10~20nm以下のサイズの空孔を実質的な割合で含んでおり、特に大部分の空孔は1nm以下のサイズを有することがわかる。分布のピークは約0.5nmにある。一方、膜中には20nmを越えるサイズの空孔はほとんど含まれていないことがわかる。

【0028】図6(A)、(B)は、図3のプラズマ処理装置100を使った本発明の第1実施例による、低密度低誘電率絶縁膜の表面処理方法を示す。

【0029】図6(A)を参照するに、Si基板21上には図3に示すMSQ膜22がスピコーティングにより約100nmの厚さに形成される。

【0030】このようにして形成された有機シロキサン膜22は約400°Cで硬化されるが、硬化した有機シロキサン膜22は巨視的に見ると全体として平坦であっても、膜中の空孔に起因して図6(A)に示すように表面に微視的な不規則が現れる。

【0031】そこで、本実施例では図6(A)の構造を図6(B)の工程においてO₂プラズマ中で処理し、プラズマイオンを前記MSQ膜22の表面に衝突させる。かかるプラズマイオンの衝突により、前記MSQ膜22の表面は緻密化し、表面改質層22Aが形成される。表1は、前記プラズマ処理の際の処理条件の一例を示す。

【表1】

圧力	6.7~27 Pa (50~200 mTorr)
プラズマ電力	100~700 W
プラズマガス	O ₂ 又は O ₂ /Ar

また、表1に示すO₂あるいはO₂/Arプラズマ処理を行った場合、プラズマ中のO₂が前記有機シロキサン膜22の表面においてCと置換し、その結果前記緻密な表面改質層22AはSi-O結合を多く含む安定した膜となる。

【0032】図7(A)~(C)は、このようにして得られた構造についてSIMS分析を行って得られたC、OおよびSiの深さ分布を示す。ただし図7(A)は図6(A)の状態に対応した比較例で、プラズマ表面処理を行わなかった場合を、また図7(B)は図6(B)のプラズマ処理を10秒間行った場合を、さらに図7

(C)は図6(B)のプラズマ処理を30秒間行った場合を示す。図中、縦軸はSIMS強度を、横軸は深さを示し、深さの原点は膜表面に設定されている。約0.1ミクロンの深さの位置にSi基板21の表面が現れているのがわかる。

【0033】図7(A)を参照するに、図6(A)のプラズマ処理を行わなかった場合には有機シロキサン膜22の表面においても、膜内部と同程度の量のCが含まれているのに対し、図7(B)、(C)に示すように図6(B)のプラズマ処理を行った場合には、膜表面においてSiおよびOの濃度が急増する一方、Cの濃度が急減し、Si-O結合を多量に含む表面改質層が、図6

(B)の層22Aに対応して形成されているのがわかる。

【0034】かかる表面改質層22Aは緻密であり、仮に図6(B)の工程の後で洗浄処理を行っても、洗浄液が前記絶縁膜22に浸透することはない。同様に、図6(B)の構造上にレジスト膜や他の有機あるいは無機絶縁膜よりなる上側絶縁膜を塗布・形成する場合でも、前記低密度低誘電率絶縁膜表面に前記表面改質層22Aを形成しておくことにより、前記上側絶縁膜が前記絶縁膜22にしみこむことはない。さらに、このような表面改質層22Aを有する絶縁膜22上にCu等の導体層を形成した場合、前記表面改質層22AによりTa等の微視的な表面被覆性を改善し、平滑性を向上することでCuの拡散を抑制したり、絶縁膜内部に通じる自由体積または空孔を消滅させることにより、特に金属元素の表面拡散を抑制し、リーク電流の増加等の問題は生じない。また前記表面改質層22Aの形成に伴い、微視的に平滑な表面が得られるため、かかる表面上に形成した導電膜は優れた密着性を有する。

【0035】本実施例においては前記低密度低誘電率膜22として有機シロキサン系膜を例に挙げたが、本発明はかかる特定の膜に限定されるものではなく、同様な効果は、HSQ(hydrogen silsesquioxane)膜を含む無機シロキサン系絶縁膜、有機シロキサン系絶縁膜、有機ポリマ膜、無機系および有機系の多孔質絶縁膜、およびCドーブあるいは有機系のCVD絶縁膜を前記低密度低誘電率膜22として使い、プラズマ表面処理により緻密な表面改質層を形成した場合にも得られる。

【第2実施例】図8(A)~(C)および図9(D)~(F)は、本発明の第2実施例による多層配線構造を有する半導体装置30の製造工程を示す。ただし、簡単のため、多層配線構造が形成される部分のみを示し、能動

素子が形成される部分の説明は省略する。

【0036】図 8 (A) を参照するに、 SiO_2 膜 (図示せず) を表面に形成された Si 基板 32 上には例えば MSQ 膜などのオルガノシロキサン系低密度多孔質低誘電率膜よりなる層間絶縁膜 32 がスピコーティングにより形成されており、その表面を図 3 のプラズマ処理装置により O_2/Ar プラズマ中において処理して緻密な表面改質膜 32A を形成する。さらに図 8 (A) の工程では前記表面改質膜 32A 上に SiO_2 ハードマスク層 33 をプラズマ CVD 法により形成する。

【0037】次に図 8 (B) の工程において前記ハードマスク層 33 上にレジスト膜を塗布し、これを露光現像することにより、レジスト開口部 34A を有するレジストパターン 34 を形成する。

【0038】さらに図 8 (C) の工程で前記レジストパターン 34 をマスクに前記ハードマスク層 33 およびその下の層間絶縁膜 32 をパターンニングすることにより、前記レジスト開口部 34A に対応して前期層間絶縁膜 32 中に配線溝 32B を形成する。

【0039】さらに図 9 (D) の工程において図 8 (C) の構造を図 3 のプラズマ処理装置 100 中に導入し、前記レジストパターン 34 を低プラズマパワーを使った O_2 プラズマ処理によりアッシング除去する。

【0040】さらに図 9 (D) の工程に引き続き、図 9 (F) の工程において同じプラズマ処理装置 100 中において O_2 あるいは O_2/Ar プラズマ処理を先に表 1 に示した条件で実行し、前記表面改質膜 32A を前記配線溝 32B の側壁面にも形成する。

【0041】さらに図 9 (F) の工程において、図 9 (E) の構造に対して洗浄を行い、残留レジストあるいは不純物を除去した後、Ta 膜 35₁ をスパッタリングにより形成する。さらに前記 Ta 膜 35₁ 上に Cu 膜 35₂ を電解めっき法あるいは CVD 法により形成し、導電膜 35 を形成する。さらに前記導電膜 35 を化学機械研磨法により除去することにより、前記配線溝 32B を導体パターンが埋めた配線構造が得られる。

【0042】かかる配線構造では、前記配線溝 32B の側壁面が表面改質膜 32A の形成に伴い平滑になっており、このため前記 Ta 膜 35₁ あるいは Cu 膜 35₂ を形成した場合にも、先に図 2 で説明したボイドの形成や金属元素の拡散の問題が回避される。また、図 9 (F) の工程において前記導電層 35 の堆積に先立って洗浄工程を行っても、洗浄液が層間絶縁膜 32 中にしみこむことがない。

【0043】本実施例において、前記層間絶縁膜 32 は MSQ 膜などのオルガノシロキサン膜に限定されるものではなく、HSQ 膜などの無機シロキサン膜、芳香族ポリエーテル膜などの有機ポリマー膜であってもよい。

【0044】さらに前記ハードマスク層 33 はプラズマ SiO_2 膜に限定されるものではなく、プラズマ SiN

膜あるいはスピコン膜であってもよい。前記ハードマスク層 33 として低誘電率スピコン膜を使う場合には、ハードマスク層 33 の表面を、前記層間絶縁膜 32 と同様なプラズマ処理して緻密な表面改質膜を形成すると、レジスト膜のしみこみが抑制され、有利である。

〔第 3 実施例〕図 10 (A) ~ (C)、図 11 (D) ~ (F) および図 12 (G) は、デュアルダマシン法を使った本発明の第 3 実施例による半導体装置の製造方法を示す。

10 【0045】図 10 (A) を参照するに、MOS トランジスタ等、図示しない能動素子が形成された Si 基板 40 は CVD- SiO_2 などの層間絶縁膜 41 により覆われており、前記層間絶縁膜 41 上には配線パターン 42A が形成されている。前記配線パターン 42A は、前記層間絶縁膜 41 上に形成された次の層間絶縁膜 42B 中に埋め込まれており、前記配線パターン 42A および層間絶縁膜 42B よりなる配線層 42 は、 SiN 等のエッチングストップ膜 43 により覆われている。

20 【0046】前記エッチングストップ膜 43 は、さらに次の層間絶縁膜 44 により覆われ、前記層間絶縁膜 44 上にはさらに別のエッチングストップ膜 45 が形成されている。

【0047】図示の例では、前記エッチングストップ膜 45 上にさらに別の層間絶縁膜 46 が形成され、さらに前記層間絶縁膜 46 は次のエッチングストップ膜 47 により覆われている。エッチングストップ膜 45、47 は、ハードマスクとよばれることがある。

【0048】図 10 (A) の工程では、前記エッチングストップ膜 47 上にフォトリソグラフィ工程により、30 所望のコンタクトホールに対応した開口部 48A を有するレジストパターン 48 が形成され、前記レジストパターン 48 をマスクに前記エッチングストップ膜 47 をドライエッチングにより除去し、前記エッチングストップ膜 47 中に、前記コンタクトホールに対応した開口部を形成する。

40 【0049】次に図 10 (B) の工程において層間絶縁膜 46 を RIE 法によりドライエッチングし、前記層間絶縁膜 46 中に前記コンタクトホールに対応した開口部 46A を形成し、前記レジストパターン 48 を除去する。

【0050】さらに図 10 (C) の工程において、前記図 10 (B) の構造上にレジスト膜 49 が、前記開口部 46A を埋めるように塗布され、図 11 (D) の工程においてこれをフォトリソグラフィ法によりパターンニングし、所望の配線パターンに対応したレジスト開口部 49A をレジスト膜 49 中に形成する。前記開口部 49A の形成の結果、前記層間絶縁膜 46 中に形成された開口部 46A が、前記レジスト開口部 49A 中に露出される。

50 【0051】図 11 (D) の工程では、さらに前記レジ

スト膜49をマスクに、前記レジスト開口部49Aにおいて露出した前記エッチングストッパ膜47および前記開口部46A底部において露出したエッチングストッパ膜45をドライエッチングにより除去し、前記層間絶縁膜46および層間絶縁膜44をドライエッチングにより一括してパターニングする。かかるパターニングの結果、図11(E)に示すように、前記層間絶縁膜16中には所望の配線溝に対応する開口部46Bが、また前記層間絶縁膜44中には所望のコンタクトホールに対応する開口部44Aが形成される。前記開口部46Bは、前記開口部46Aを含むように形成される。

【0052】次に図11(F)の工程において図11(D)の構造を先に表1に示した条件下でプラズマ処理し、前記開口部44Aおよび46Bの側壁面に、図中に斜線で示す緻密な表面改質膜を形成する。

【0053】かかる表面改質膜の形成の後、さらに図12(G)の工程において、図11(F)の構造を洗浄液により洗浄し、前記開口部44Aの底に露出したエッチングストッパ膜43をドライエッチングにより除去し、前記配線パターン42Aを露出した後、前記配線溝46Aおよび開口部44AをAlあるいはCu等の導電膜で充填し、さらにこれを化学機械研磨(CMP)することにより、配線パターン42Aとコンタクトホール44Aで接続された配線パターン50が得られる。これらの工程をさらに繰り返すことにより、3層目、4層目の配線パターンを形成することが可能である。

【0054】本実施例において、前記層間絶縁膜42、44、46としては少なくともSi、CおよびHを含む比誘電率が3以下の無機、有機あるいはハイブリッド絶縁膜を使うことが可能で、また前記エッチングストッパ膜43、45、47としても、プラズマCVD法により形成されるSiO₂膜あるいはSiN膜の他に、前記層間絶縁膜42、44あるいは46に対してエッチング選択性が得られる限り、少なくともSi、C、Hを含む様々な膜を使うことが可能である。

【0055】以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において、様々な変形・変更が可能である。

【0056】

【発明の効果】本発明によれば、少なくともSi、CおよびHを含む低密度低誘電率膜の表面をプラズマ処理することにより、低誘電率膜の表面に緻密な表面改質膜を形成することができる。かかる表面改質膜は、その後のプラズマ処理や洗浄処理の際に低誘電率膜中にプラズマあるいは洗浄液がしみこむのを抑制し、また前記低誘電率膜の表面に形成された別の膜に対する密着性を向上させる。さらに前記別の膜が金属膜である場合、金属元素の前記低誘電率膜中への拡散を効果的に抑制する。

【図面の簡単な説明】

【図1】(A)～(F)は従来の多層配線構造の形成工程を示す図である。

【図2】従来の低密度低誘電率膜を使った多層配線構造において生じる問題点を説明する図である。

【図3】本発明で使われるプラズマ処理装置の構成を示す図である。

【図4】本発明の第1実施例で使われる低密度低誘電率膜の構造を示す図である。

【図5】図4の低密度低誘電率膜中における空孔のサイズ分布を示す図である。

【図6】(A)、(B)は、本発明の第1実施例による、低密度低誘電率膜のプラズマ表面処理工程を示す図である。

【図7】(A)～(C)は、様々なプラズマ表面処理を施した低密度低誘電率膜中における元素分布を示す図である。

【図8】(A)～(C)は、本発明の第2実施例による半導体装置の製造工程を示す図(その1)である。

【図9】(D)～(F)は、本発明の第2実施例による半導体装置の製造工程を示す図(その2)である。

【図10】(A)～(C)は、本発明の第2実施例による半導体装置の製造工程を示す図(その1)である。

【図11】(D)～(F)は、本発明の第2実施例による半導体装置の製造工程を示す図(その2)である。

【図12】(G)は、本発明の第2実施例による半導体装置の製造工程を示す図(その3)である。

【符号の説明】

10, 40	Si基板
11, 41	SiO ₂ 膜
12, 42	下部配線層
12A, 42A	下部配線パターン
12B, 42B	下部層間絶縁膜
13, 15, 17, 43, 45, 47	エッチングストッパ
12, 14, 16, 42, 44, 46	層間絶縁膜
14A, 44A	コンタクトホール
16A, 46A	開口部
16B, 46B	配線溝
18, 48, 49	レジスト膜
18A, 48A, 49A	レジスト開口部
20, 50	配線パターン
20A	密着膜
20X	ボイド
21, 31	Si基板
22, 32	低密度低誘電率膜
22A, 32A	表面改質膜
32B	配線溝
33	ハードマスク層
34	レジストパターン
34A	レジスト開口部

15

16

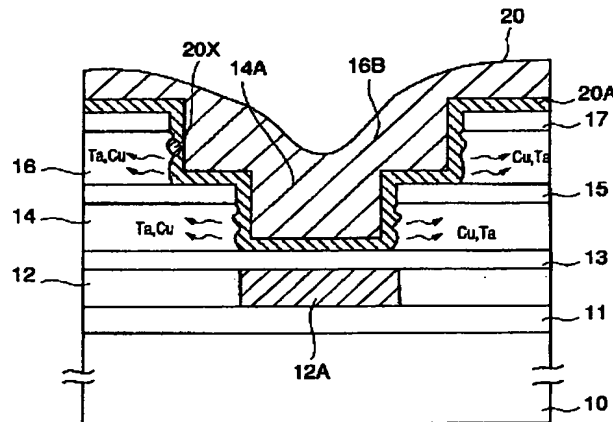
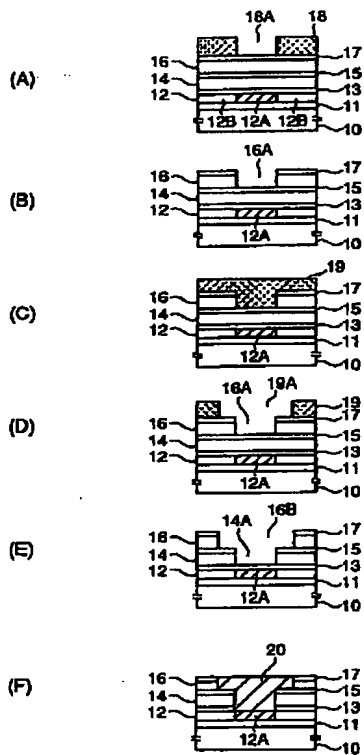
35 導体層
 35₁ Ta膜
 35₂ Cu膜
 100 プラズマ処理装置
 102 処理室
 104 反応容器
 106 ウェハ保持台
 108, 118 インピーダンス整合器

110, 120 高周波電源
 112 コントローラ
 114 シャワーヘッド
 114a 開口部
 122 プラズマガスライン
 124 排気ポート
 W ウェハ

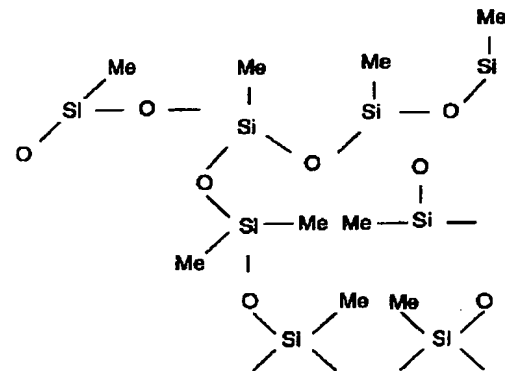
【図1】

【図2】

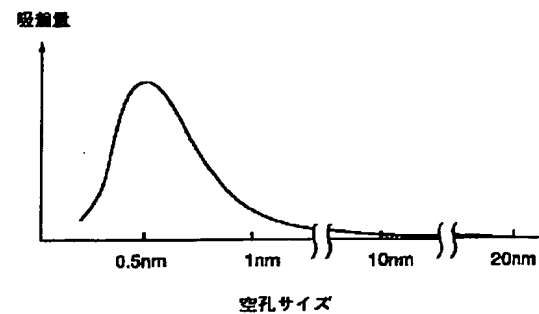
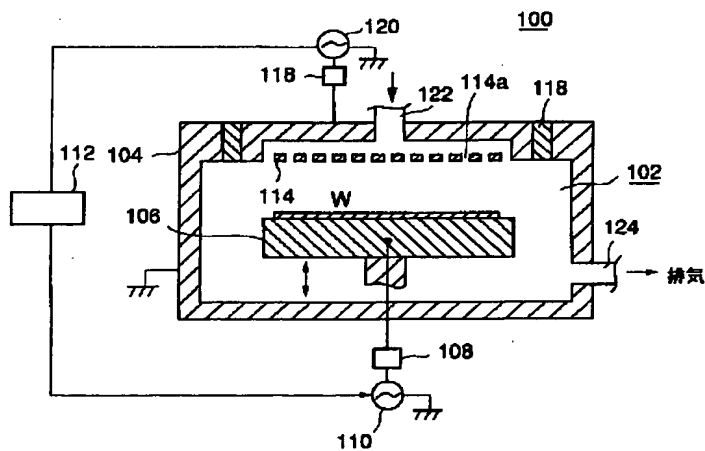
(A)~(F)は、従来の多層配線構造の形成工程を示す図



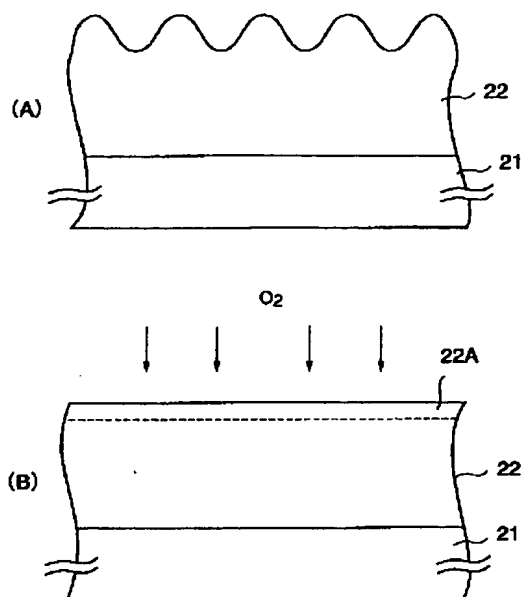
【図4】



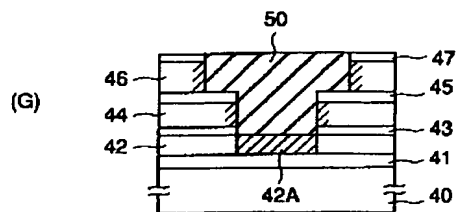
【図5】



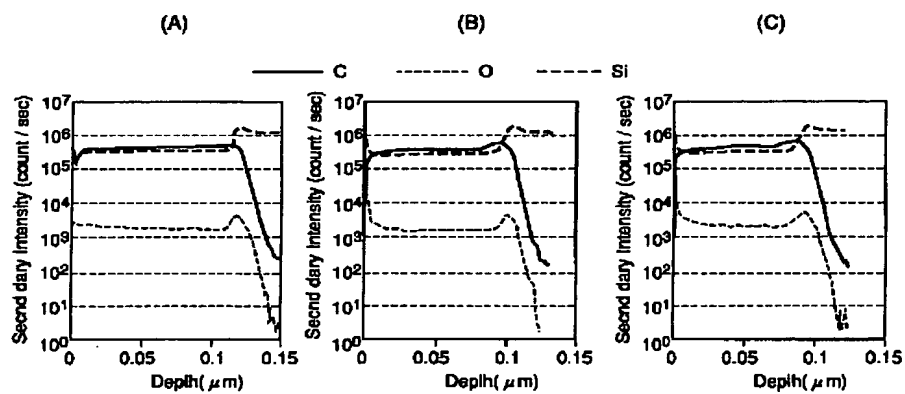
【図 6】



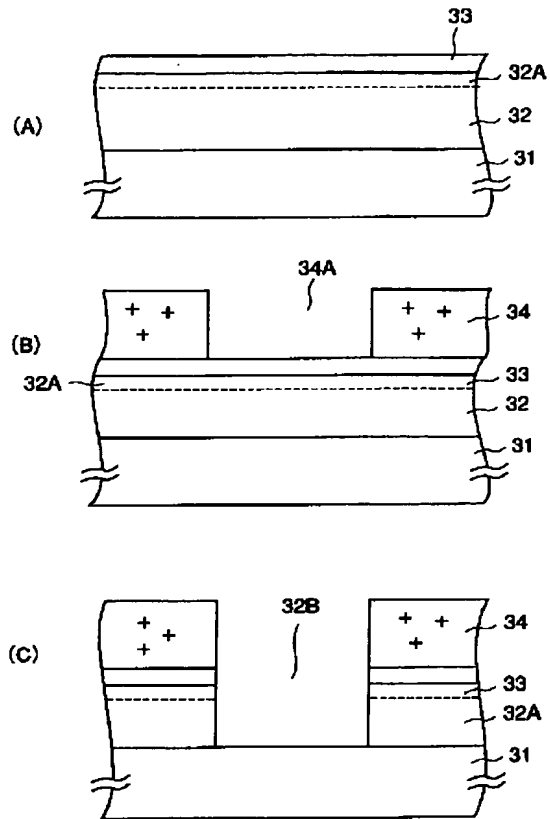
【図 12】



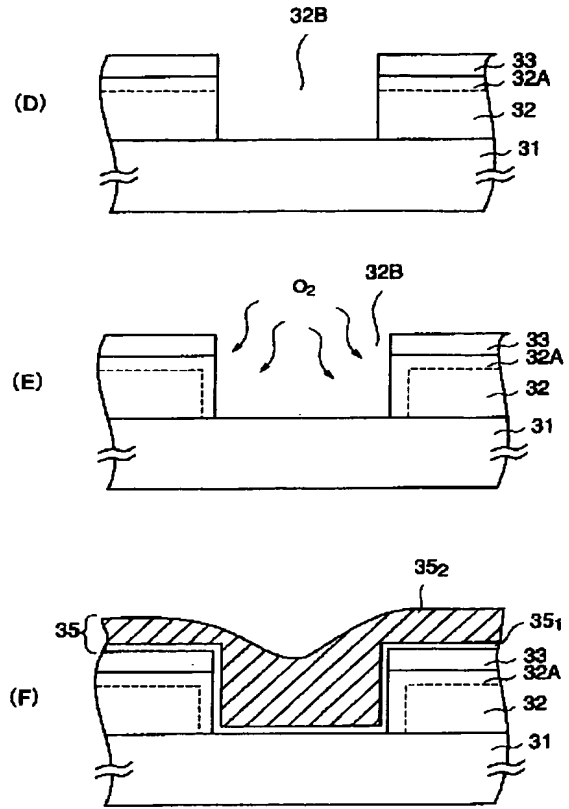
【図 7】



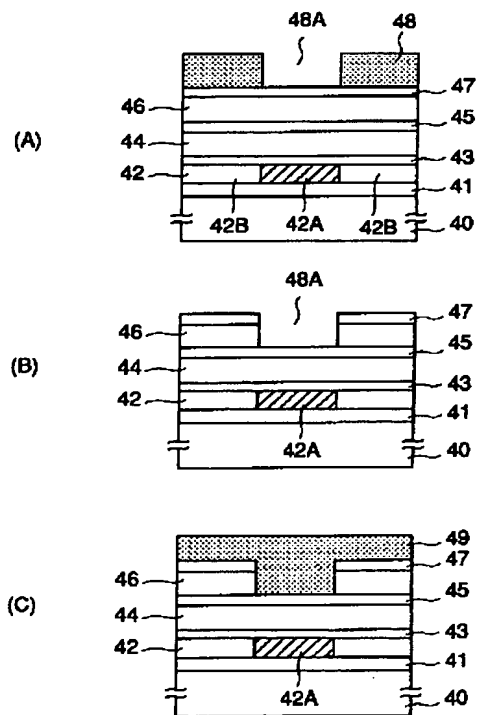
【図 8】



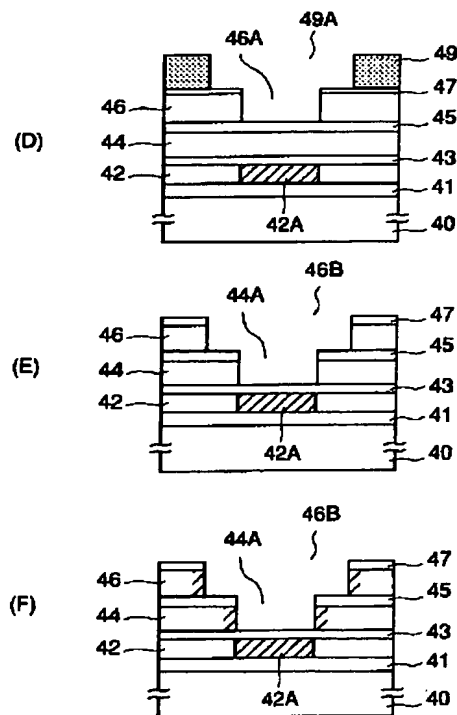
【図 9】



【図 10】



【図 11】



フロントページの続き

(72)発明者 稲沢 剛一郎

山梨県韮崎市藤井町北下条2381-1 東京
エレクトロン山梨株式会社内

(72)発明者 末正 智希

山梨県韮崎市藤井町北下条2381-1 東京
エレクトロン山梨株式会社内

Fターム(参考) 5F033 HH08 HH11 JJ08 JJ11 KK03
KK07 KK08 KK11 KK21 MM02
PP06 PP15 PP27 QQ11 QQ13
QQ25 QQ28 QQ37 QQ48 QQ89
QQ92 QQ96 RR01 RR04 RR06
RR09 RR21 SS11 SS15 SS22
TT02 TT03 TT04 XX03 XX05
XX12 XX24 XX28
5F058 BA05 BA07 BA20 BC02 BH16
BJ02